



UNIVERSIDADE FEDERAL DE MINAS GERAIS
ESCOLA DE ENGENHARIA


UF *m* G




Parte V: Visão geral sobre inversores



GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

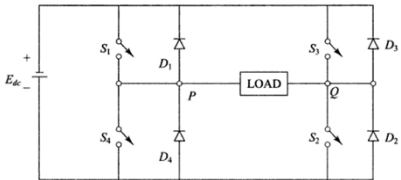


GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG



Conversores CC/CA - Revisão

- **Os inversores podem possuir diversas classificações**
 - Tipo de comutação
 - Não-autônomos;
 - **Autônomos;** → Estas estruturas são as mais utilizadas nas principais aplicações, logo esta revisão focará nelas;
 - Tipo de fonte
 - **Voltage Source Converter (VSC);** → Estas estruturas são as mais utilizadas nas principais aplicações, logo esta revisão focará nelas;
 - Current Source Converter (CSC);
 - Tipo de carga
 - Monofásico;
 - Polifásico;
 - Tipo de modulação
 - PWM senoidal;
 - Space-vector;
 - Quase-quadrada;
 - Selective Harmonic Elimination;
 - Quantidade de níveis
 - Bipolar;
 - Unipolar;
 - Multinível



2

gép
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG




Conversores CC/CA - Revisão

- **Principais aplicações na atualidade:**
 - Acionamentos elétricos;
 - Fontes ininterruptas de energia (UPS);
 - Conversores de interface com a rede:
 - Geração distribuída (fotovoltaica, eólica, etc);
 - Armazenamento de energia;
 - STACOM – Static Synchronous Compensator;
 - Filtros ativos de potência;
 - DVR (Restauradores dinâmicos de tensão);
 - Outras cargas AC
 - Iluminação (HPS, fluorescente);
 - Máquinas de solda;
 - Etc;

O segundo projeto estará concentrado em uma dessas áreas

3

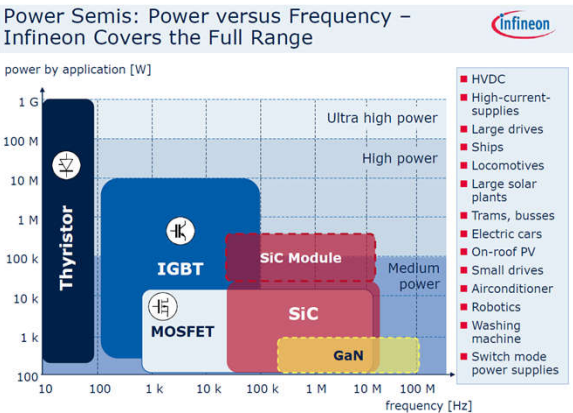
gép
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Conversores CC/CA - Revisão

- **Principais dispositivos semicondutores:**

Power Semis: Power versus Frequency – Infineon Covers the Full Range



The chart plots power by application [W] on the y-axis (log scale from 100 to 1 G) against frequency [Hz] on the x-axis (log scale from 10 to 100 M). It shows the operating regions for Thyristor, IGBT, MOSFET, SiC Module, SiC, and GaN. Applications are categorized into Ultra high power, High power, and Medium power.

| Power Range [W] | Frequency Range [Hz] | Device | Application |
|-----------------|----------------------|------------|---|
| 100 - 1000 | 10 - 100 | Thyristor | HVDC |
| 1000 - 100000 | 100 - 100000 | IGBT | High-current-supplies, Large drives, Ships, Locomotives, Large solar plants, Trams, busses, Electric cars |
| 10000 - 100000 | 1000 - 100000 | MOSFET | On-roof PV, Small drives, Airconditioner, Robotics, Washing machine, Switch mode power supplies |
| 10000 - 100000 | 10000 - 100000 | SiC Module | High power |
| 10000 - 100000 | 10000 - 100000 | SiC | High power |
| 1000 - 10000 | 10000 - 100000 | GaN | Medium power |

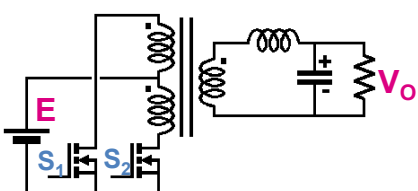
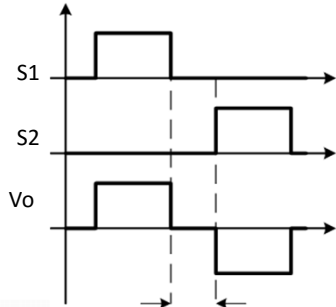
6/7 June 2011 Copyright © Infineon Technologies 2011. All rights reserved. Page 15

4

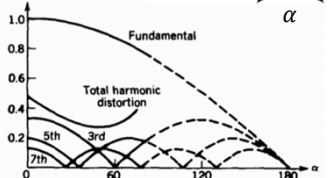
gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- **Inversor Push-pull**

- Solução muito utilizada em UPS offline juntamente com modulação quase-quadrada;
- Comando simples, mas gera uma forma de onda de saída com alto conteúdo harmônico;

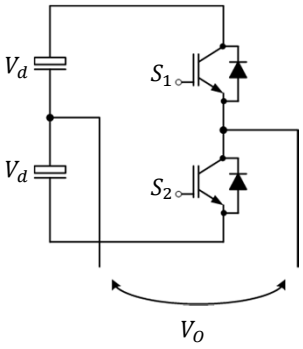


5

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- **Inversor meia-ponte (Braço dois níveis)**



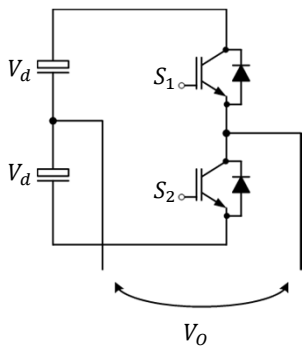
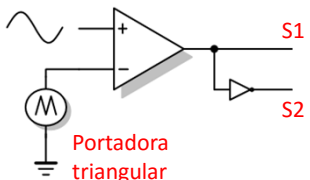
- O comando do braço pode ser feito utilizando uma modulação quase-quadrada, mas para as aplicações de maior interesse nesta discussão, focaremos no uso de modulação por largura de pulso (PWM - pulse width modulation);

6

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Inversor meia-ponte (braço dois níveis)**
 - Comando PWM

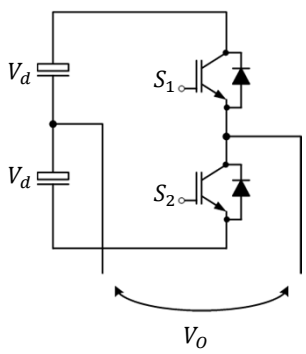
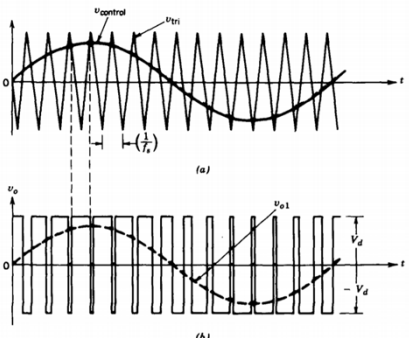
- Os sinais S1 e S2 são complementares;
- É necessário o uso de dispositivos de acionamento (gate drivers) para traduzir o comando digital em um sinal capaz de comutar as chaves semicondutoras

7

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Inversor meia-ponte (braço dois níveis)**
 - Comando PWM - Formas de onda

8

gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Inversor meia-ponte (braço dois níveis)**
 - Índice de modulação de amplitude

$$m_a = \frac{\sqrt{V_{mod}}}{V_{tri}}$$

$$V_o = m_a V_d$$

fundamental

9

gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Inversor meia-ponte (braço dois níveis)**
 - Espectro PWM dois níveis

Região livre de harmônicos – Fácil reconstrução

$m_a = 0.8, m_f = 15$

$V_{o1} = m_a V_d$

Harmonics h of f_1 →

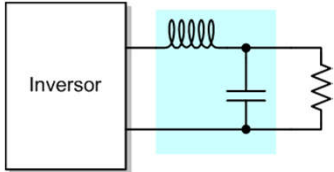
$$m_f = f_{pwm} / f_{mod}$$

10

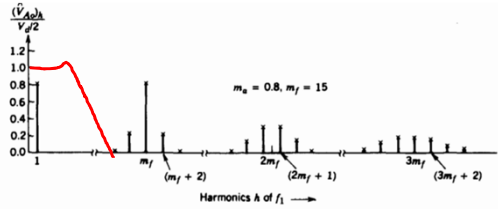
gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Inversor meia-ponte (braço dois níveis)**
 - Reconstrução do sinal modulado



Filtro passa-baixas de 2ª ordem



Projeto dos componentes:

Seleção da frequência de corte do filtro:

$$10f_{mod} \leq f_c \leq f_{pwm}/10$$

Condição ideal

$$L = \frac{V_d}{2f_{pwm}\Delta I_L}$$

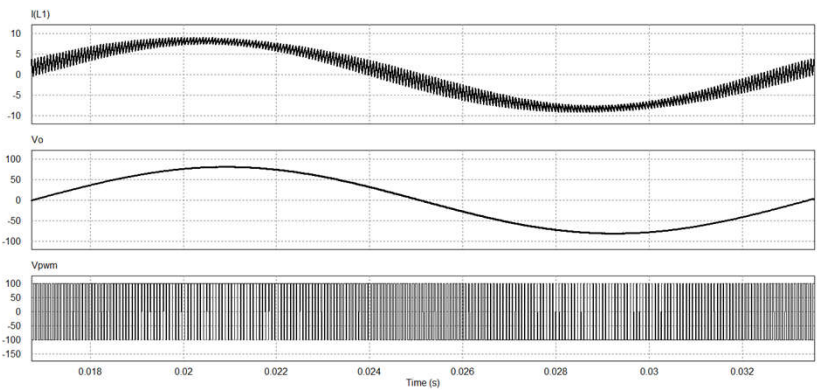
$$C = \frac{1}{(2\pi f_c)^2 L}$$

11

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores


- Inversor meia-ponte (braço dois níveis)**



$R = 10\Omega$ $V_d = 100V$ $\Delta I_L = 4A$ $f_{pwm} = 15kHz$ $f_c = 750Hz$

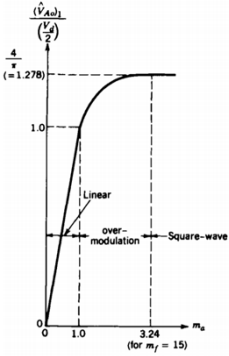
12

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Estruturas típicas de inversores

- **Inversor meia-ponte (braço dois níveis)**
 - Limitações




- À medida que o índice de modulação se torna maior do que a unidade, a forma de onda de saída satura em V_d , de modo que ela se aproxima de uma onda quadrada;
- A distorção harmônica se eleva;
- Para fins práticos, a faixa linear de um inversor dois-níveis é limitada a

$$m_a \leq 0.8$$

Sobre-modulação

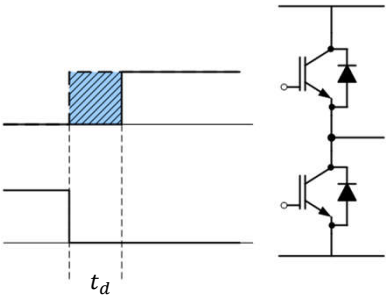
13

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Estruturas típicas de inversores

- **Inversor meia-ponte (braço dois níveis)**
 - Limitações – tempo morto



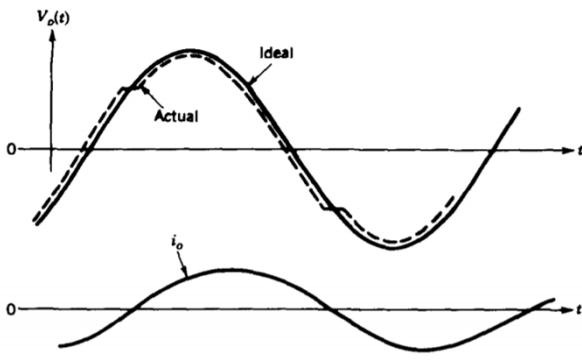
- O desligamento de um transistor não é instantâneo;
- O comando complementar dos transistores de um braço pode produzir um curto-circuito no barramento c.c.;
- Introduce-se um tempo morto no ligamento dos transistores, para se garantir que um transistor sempre irá ligar com o outro desligado;
- Esse tempo morto desloca a forma de onda de tensão na saída do inversor

14

gpep
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- **Inversor meia-ponte (braço dois níveis)**
 - Limitações – tempo morto



$$\Delta V_o = \begin{cases} +2t_d f_{pwm}, & \rightarrow i_o > 0 \\ -2t_d f_{pwm}, & \rightarrow i_o < 0 \end{cases}$$

15

gpep
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- **Inversor meia-ponte (braço dois níveis)**
 - Limitações – Corrente no lado c.c.



- A corrente no lado c.c. é pulsada e possui ainda uma parcela c.a. significativa;
- Deve-se projetar o banco capacitivo para suportar o valor RMS da corrente (uso de capacitores em paralelo é recomendado);
- A pulsação da corrente pode levar a sobre elevações na tensão do braço, devido às indutâncias de linha (uso de capacitores de desacoplamento é obrigatório);

16

gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Inversor ponte-completa (braço dois níveis)**
 - Pode-se acionar este conversor com as seguintes modulações:
 - Phase-shift (quase-quadrada);
 - PWM 2 níveis;
 - PWM 3 níveis;

17


gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Inversor ponte-completa (braço dois níveis)**
 - Há um cancelamento dos harmônicos de chaveamento na região de f_{pwm} ;
 - O indutor do filtro de saída pode ser reduzido pela metade;

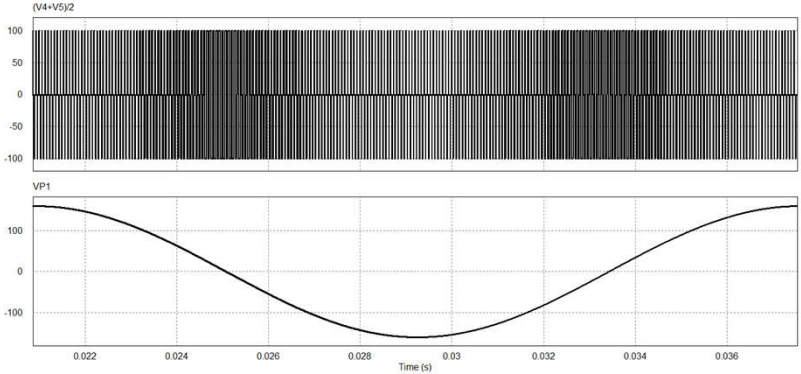
$$V_{O1} = m_a(2V_d)$$

18



Estruturas típicas de inversores

- **Inversor ponte-completa (braço dois níveis)**
 - Modo comum




19



Estruturas típicas de inversores

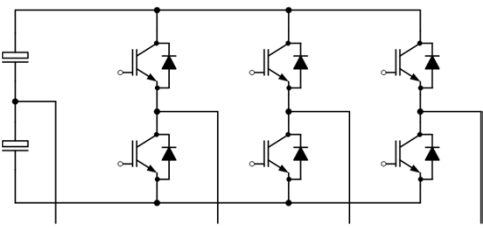
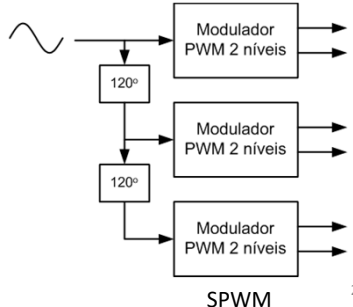
- **Inversor ponte-completa (braço dois níveis)**
 - A tensão de modo comum é uma tensão de sequência zero;
 - Caso haja um caminho de circulação para o terra, correntes indesejadas podem circular;
 - Mesmo que o conversor não seja aterrado, capacitâncias parasitas entre a carcaça aterrada do conversor e o terra farão com que correntes de modo comum circulem no sistema;
 - É comum o uso de filtros de modo comum juntamente ao filtro de saída do conversor, para evitar a circulação de correntes parasitas;

20




Estruturas típicas de inversores

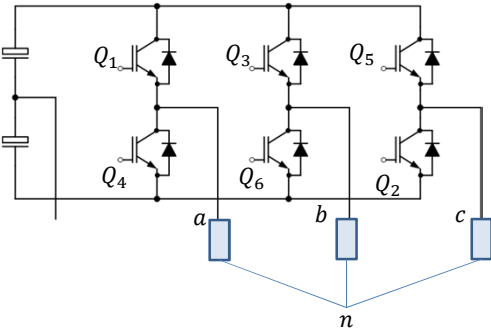
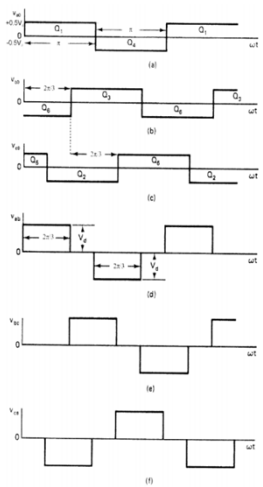
- Inversor trifásico (braço dois níveis)**
 - Pode-se acionar este conversor com as seguintes modulações:
 - PWM senoidal;
 - Space-vector;
 - Six-step

21




Estruturas típicas de inversores

- Comutação Six-step**



Cada braço é comutado com uma onda quadrada, com defasamento de 120° entre os braços

22



Estruturas típicas de inversores


- **Comutação Six-step**
 - As tensões de fase, em relação ao ponto médio do barramento c.c., possuem representação em série de Fourier, como:

$$v_{ao} = \frac{2V_d}{\pi} \left[\cos \omega t - \frac{1}{3} \cos 3\omega t + \frac{1}{5} \cos 5\omega t - \dots \right]$$

$$v_{bo} = \frac{2V_d}{\pi} \left[\cos \left(\omega t - \frac{2\pi}{3} \right) - \frac{1}{3} \cos 3 \left(\omega t - \frac{2\pi}{3} \right) + \frac{1}{5} \cos 5 \left(\omega t - \frac{2\pi}{3} \right) - \dots \right]$$

$$v_{co} = \frac{2V_d}{\pi} \left[\cos \left(\omega t + \frac{2\pi}{3} \right) - \frac{1}{3} \cos 3 \left(\omega t + \frac{2\pi}{3} \right) + \frac{1}{5} \cos 5 \left(\omega t + \frac{2\pi}{3} \right) - \dots \right]$$

23



Estruturas típicas de inversores

- **Comutação Six-step**
 - As tensões de linha podem ser calculadas como

$$v_{ab} = v_{ao} - v_{bo}$$

$$= \frac{2\sqrt{3}V_d}{\pi} \left[\cos \left(\omega t + \frac{\pi}{6} \right) + 0 - \frac{1}{5} \cos 5 \left(\omega t + \frac{\pi}{6} \right) - \frac{1}{7} \cos 7 \left(\omega t + \frac{\pi}{6} \right) + \dots \right]$$

$$v_{bc} = v_{bo} - v_{co}$$


$$= \frac{2\sqrt{3}V_d}{\pi} \left[\cos \left(\omega t - \frac{\pi}{2} \right) + 0 - \frac{1}{5} \cos 5 \left(\omega t - \frac{\pi}{2} \right) - \frac{1}{7} \cos 7 \left(\omega t - \frac{\pi}{2} \right) + \dots \right]$$

$$v_{ca} = v_{co} - v_{ao}$$

$$= \frac{2\sqrt{3}V_d}{\pi} \left[\cos \left(\omega t + \frac{5\pi}{6} \right) + 0 - \frac{1}{5} \cos 5 \left(\omega t + \frac{5\pi}{6} \right) - \frac{1}{7} \cos 7 \left(\omega t + \frac{5\pi}{6} \right) + \dots \right]$$

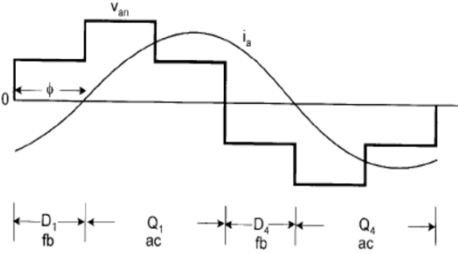
24

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Estruturas típicas de inversores

- **Comutação Six-step**
 - As tensões de fase na carga se tornam




$$v_{an} = \frac{2}{3}v_{ao} - \frac{1}{3}v_{bo} - \frac{1}{3}v_{co}$$

$$v_{bn} = \frac{2}{3}v_{bo} - \frac{1}{3}v_{ao} - \frac{1}{3}v_{co}$$

$$v_{cn} = \frac{2}{3}v_{co} - \frac{1}{3}v_{ao} - \frac{1}{3}v_{bo}$$

25

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Estruturas típicas de inversores

- **Redefinição de índice de modulação**
 - A modulação Six-step gera a maior tensão do harmônico fundamental na saída de um inversor;
 - Assim, pode-se utilizar uma definição alternativa do índice de modulação para tratar a máxima tensão da região linear de um inversor em relação à máxima tensão de saída possível:

$$m = \frac{V_{pico}}{V_{six}} = \frac{\pi V_{pico}}{2V_{dc}} \longrightarrow V_{pico} = \frac{V_{dc}}{2} \quad m = \frac{\pi}{4} = 78.5\%$$

PWM Senoidal

26

gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Space-vector PWM

Estados possíveis

| Estado | Dispositivos Ligados | V_{an} | V_{bn} | V_{cn} | Vetor Tensão |
|--------|----------------------|-----------|-----------|-----------|------------------|
| 0 | Q_1, Q_2, Q_3 | 0 | 0 | 0 | $\vec{V}_0(000)$ |
| 1 | Q_1, Q_2, Q_4 | $2V_d/3$ | $-V_d/3$ | $-V_d/3$ | $\vec{V}_1(100)$ |
| 2 | Q_1, Q_2, Q_5 | $V_d/3$ | $V_d/3$ | $-2V_d/3$ | $\vec{V}_2(110)$ |
| 3 | Q_1, Q_2, Q_6 | $-V_d/3$ | $2V_d/3$ | $-V_d/3$ | $\vec{V}_3(010)$ |
| 4 | Q_1, Q_3, Q_4 | $-2V_d/3$ | $V_d/3$ | $V_d/3$ | $\vec{V}_4(011)$ |
| 5 | Q_1, Q_3, Q_5 | $-V_d/3$ | $-V_d/3$ | $2V_d/3$ | $\vec{V}_5(001)$ |
| 6 | Q_1, Q_3, Q_6 | $V_d/3$ | $-2V_d/3$ | $V_d/3$ | $\vec{V}_6(101)$ |
| 7 | Q_1, Q_3, Q_2 | 0 | 0 | 0 | $\vec{V}_7(111)$ |

27

gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Space-vector PWM
 - Cada estado cria um vetor de tensão como

$$V^* = \frac{2}{3}(v_a^* + av_b^* + a^2v_c^*) = V_{1m}^* e^{j\omega t}$$

$$a = e^{j\left(\frac{2\pi}{3}\right)}$$


Para se sintetizar um dado vetor de referência V^* , utiliza-se os vetores nulos e os vetores adjacentes, visando a redução do conteúdo harmônico

OBS: A máxima tensão de saída é igual ao círculo inscrito no hexágono formado pelos vetores espaciais:

$$V_{pico} = \frac{2}{3}V_{dc} \cos\left(\frac{\pi}{6}\right) = 0.577V_{dc}$$

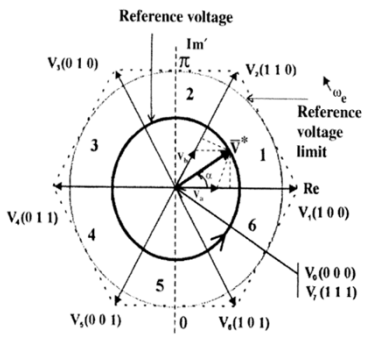
$m = 0.907 \rightarrow$ Ganho de 15% em relação ao SPWM

28



Estruturas típicas de inversores


- **Space-vector PWM**
 - Exemplo – setor 1



$$V_a = \frac{2}{\sqrt{3}} V^* \text{sen} \left(\frac{\pi}{3} - \alpha \right)$$

$$V_b = \frac{2}{\sqrt{3}} \text{sen}(\alpha)$$

29



Estruturas típicas de inversores

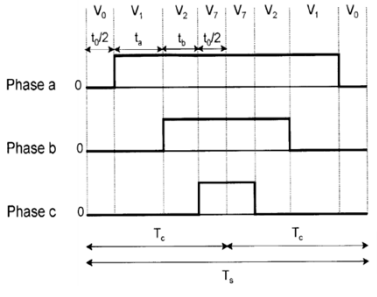
- **Space-vector PWM**
 - Exemplo – setor 1
 - Considerando um tempo (T_c) no qual a tensão média de saída deve se igualar a V^* , obtém-se os tempos de aplicação dos vetores adjacentes e dos vetores de tensão nula:

$$t_a = \frac{V_a}{V_1} T_c$$


$$t_b = \frac{V_b}{V_2} T_c$$

$$t_0 = T_c - (t_a + t_b)$$

O tempo de aplicação de tensão nula é distribuído entre os vetores V0 e V7.

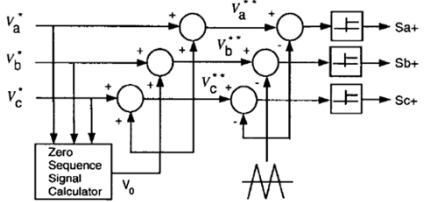


30




Estruturas típicas de inversores

- **SPWM com injeção de seqüência zero**
 - Pode-se expandir a máxima tensão de saída de um inversor trifásico acionado com SPWM caso se adicione uma seqüência zero;
 - Cargas sem neutro aterrado apresentarão o sinal de seqüência zero como uma tensão de modo-comum entre o neutro da carga e o ponto central do barramento cc do inversor, mas não circularão corrente de seqüência zero

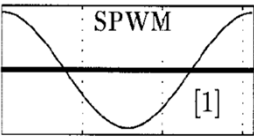


31



Estruturas típicas de inversores

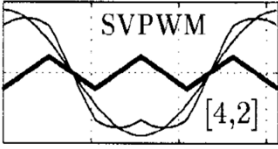
- **SPWM com injeção de seqüência zero - Ex:**



SPWM
[1]

$v_0 = 0$

$$v_0 = \begin{cases} 0,5 v_a & \text{se } |v_a| = \min(|v_a|, |v_b|, |v_c|) \\ 0,5 v_b & \text{se } |v_b| = \min(|v_a|, |v_b|, |v_c|) \\ 0,5 v_c & \text{se } |v_c| = \min(|v_a|, |v_b|, |v_c|) \end{cases}$$



SVPWM
[4,2]

32

gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- SPWM com injeção de sequência zero - Ex:

33

gpe
GRUPO DE ELETRÔNICA DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- Braços multiníveis - NPC (Neutral Point Clamped)

Fig. 5: Switching states NPC

| | | | | | | | | | | | | | | | |
|-------|---------|---|---|---|-------------------------|---|---|---|-------------|---|---|---|---|---|---|
| T1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| T2 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| T3 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| T4 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| state | allowed | | | | potentially destructive | | | | destructive | | | | | | |

Fig. 4: Voltage and current waveforms of 3L

34

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Estruturas típicas de inversores

- Modulação PWM para um braço multinível
 - Phase Disposition (PD)



- Phase Opposition Disposition (POD)



35

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Estruturas típicas de inversores

- Modulação PWM para um braço multinível
 - Phase-shift Carrier



36




Estruturas típicas de inversores

- **Modulação PWM para um braço multinível**



37




Estruturas típicas de inversores

- **Modulação PWM para um braço multinível**



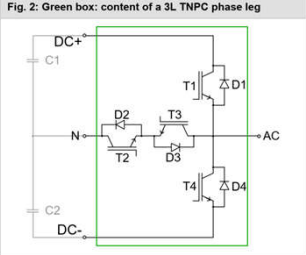
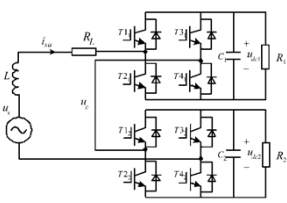
38



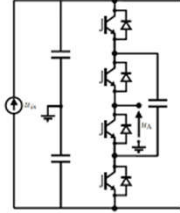
Estruturas típicas de inversores

- Braços multiníveis – outros exemplos

Fig. 2: Green box: content of a 3L TNPC phase leg





CHB



Flying cap

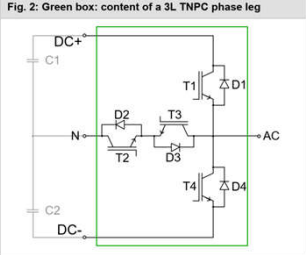
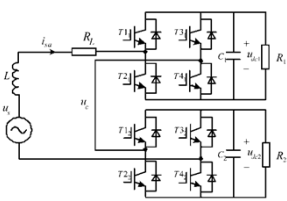
39



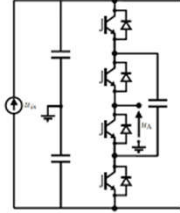
Estruturas típicas de inversores

- Braços multiníveis – outros exemplos

Fig. 2: Green box: content of a 3L TNPC phase leg

CHB



Flying cap

40

gép
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG




Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - Os dispositivos semicondutores empregados em inversores normalmente são baseados em MOSFETs e/ou IGBTs;
 - Ambos transistores são acionados em tensão, o que demanda o uso de circuitos capazes de prover a tensão necessária para ligar e desligar essas chaves estáticas de forma controlada;
 - As características dinâmicas do chaveamento de um transistor são definidas por elementos parasitas



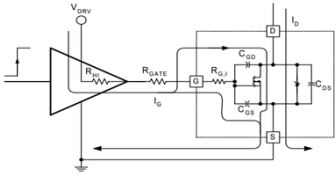
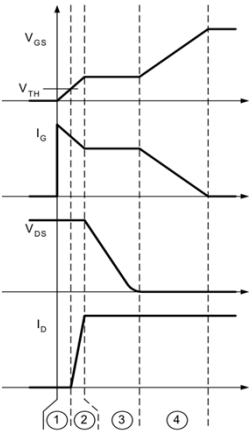
41

gép
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG



Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - Característica de ligamento

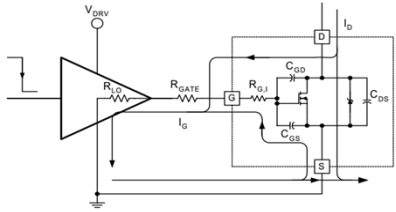
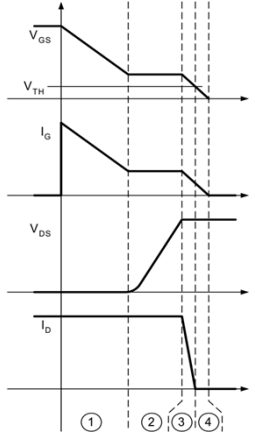



42

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG

Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - Característica de desligamento

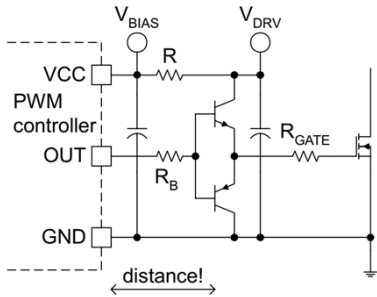
43

gpe
GRUPO DE ELETRÔNICA
DE POTÊNCIA DA UFMG


Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - A velocidade de comutação de um transistor depende fortemente do resistor de gate e da capacidade de injeção de corrente do gate-driver;

• Uma solução comum é conectar o gate do transistor diretamente à saída de um controlador PWM e caso este não possua capacidade de corrente suficiente, um circuito push-pull é utilizado para dar o ganho de corrente necessário;



44




Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - A velocidade de comutação de um transistor depende fortemente do resistor de gate e da capacidade de injeção de corrente do gate-driver;
 - No caso do bloqueio do transistor, pode-se empregar diferentes soluções:

Figure 13. Local pnp Turn-Off Circuit

Figure 15. Improved N-Channel MOSFET-Based Turn-off Circuit

45



Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - O acionamento de braços de transistores é um desafio, pois a referência da tensão de acionamento do transistor superior é diferente daquela utilizada no transistor inferior;
 - Uma solução interessante são os drivers do tipo Bootstrap

- Toda vez que Q2 é acionado o capacitor CB é carregado com a tensão de acionamento;
- A tensão em CB é utilizada para alimentar o driver de Q1
- Não funciona se Q2 não for acionado $D_{max} < 95\%$

46




Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - **Driver com isolamento óptico** – Além da limitação de ciclo de trabalho, o driver bootstrap não traz isolamento galvânico entre o transistor e o circuito de comando;
 - O uso de isolamento óptico permite o acionamento de transistores em diferentes pontos do circuito, mas demanda o uso de fontes isoladas

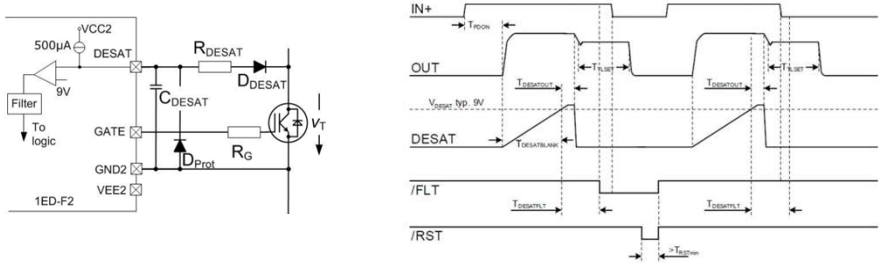


47



Estruturas típicas de inversores

- **Gate driver – Acionamento dos transistores**
 - **Proteção de sobre-corrente:** Muitos gate drivers fornecem funções de proteção contra sobre-corrente, sendo a estratégia Desat a mais comum



48